



(19)

(11) Publication number:

0

Generated Document.

PATENT ABSTRACTS OF JAPAN(21) Application number: **03211885**(51) Intl. Cl.: **G06F 12/16 G06F 11/10**(22) Application date: **23.08.91**

(30) Priority:	(71) Applicant: HITACHI LTD HITACHI JOHO NETW
(43) Date of application publication: 05.03.93	(72) Inventor: TANAKA KENICHI UGAJIN ATSUSHI
(84) Designated contracting states:	(74) Representative:

**(54) MEMORY PARITY
FAULT RECOVERING
SYSTEM**

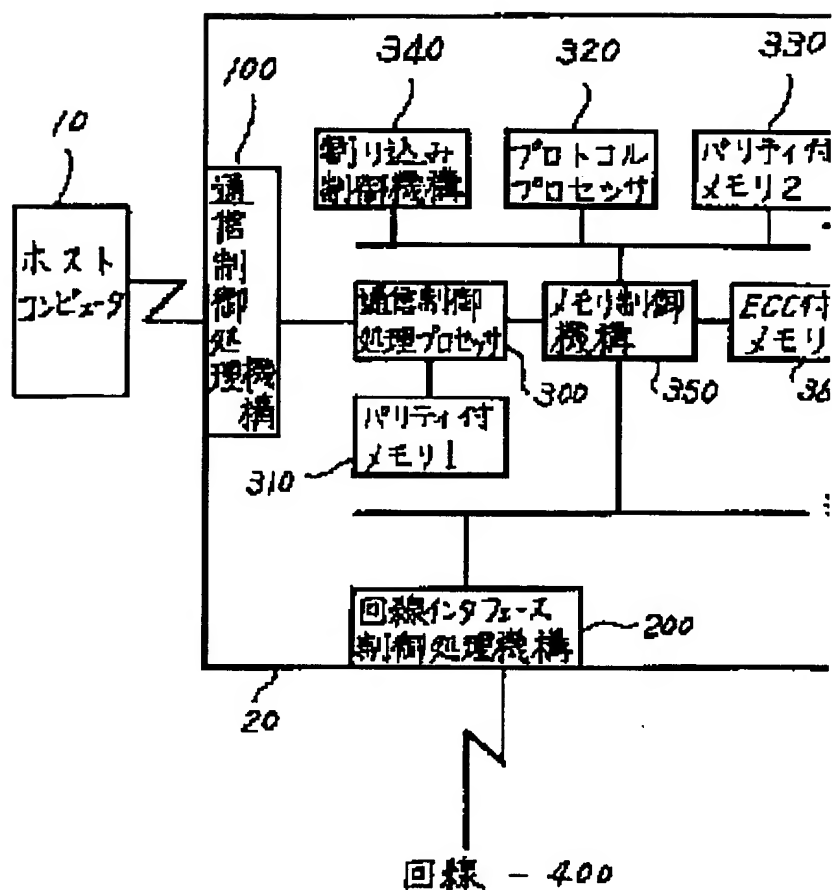
(57) Abstract:

PURPOSE: To recover a fault at a software by correcting a fault generating bit by exclusively ORing the calculated value of exclusive OR for the unit of a logical memory containing a fault generating address and the value of an error correction table.

CONSTITUTION: A leading address to search the memory parity fault generating address is extracted from the parity fault correction table and set to a protocol processor 320. Data showing the bus width length of the address are read out of a memory 330 or 310 with parity. It is checked by scanning the inside register of a memory control mechanism 350 whether the parity fault occurs or not. The fault generating address is saved in a fault generating address save area. The address to be next read is

calculated, the exclusive OR of the read data and the value of the exclusive OR up to the moment is defined as data for memory parity fault recovery and by exclusively ORing the data and an expected value, the fault generating bit is corrected. Afterwards the data are written in the saved address.

COPYRIGHT: (C)1993,JPO&Japio



(19) 日本国特許庁 (J-P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平5-53927

(43) 公開日 平成5年(1993)3月5日

(51) Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 F 12/16	3 2 0 F	7629-5B		
11/10	3 2 0 F	7832-5B		
	K	7832-5B		

審査請求 未請求 請求項の数4(全7頁)

(21) 出願番号 特願平3-211885

(22) 出願日 平成3年(1991)8月23日

(71) 出願人 000005108

株式会社日立製作所
東京都千代田区神田駿河台四丁目6番地

(71) 出願人 000153524

株式会社日立情報ネットワーク
東京都千代田区大手町2丁目6番2号

(72) 発明者 田中 謙一

東京都千代田区大手町二丁目6番2号株式
会社日立情報ネットワーク内

(72) 発明者 宇賀神 敦

神奈川県秦野市堀山下1番地株式会社日立
製作所神奈川工場内

(74) 代理人 弁理士 小川 勝男

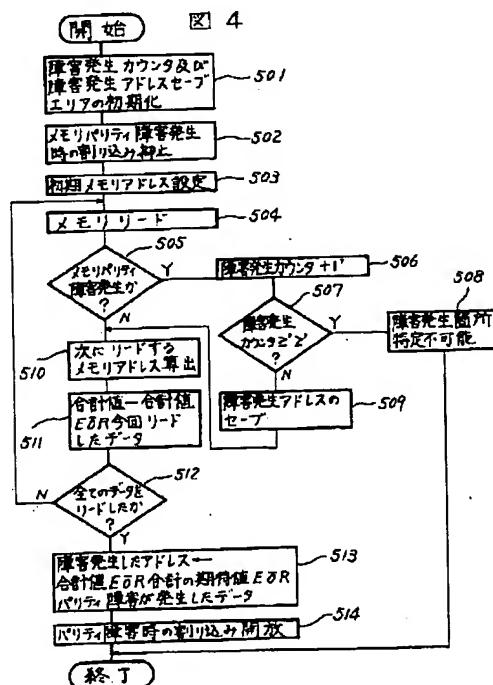
(54) 【発明の名称】 メモリパリティ障害回復方式

(57) 【要約】

【目的】 パリティビットを付加したメモリとマイクロプロセッサを使用したシステムにて、メモリを二重化することなく、そしてメモリにプログラムを再ロードすることなしに、速やかにメモリのパリティ障害を回復することを目的とする。

【構成】 ECC付メモリにフローで示す論理のプログラム及びエラー補正テーブルをロードしておき、パリティ付メモリ又はパリティ付メモリにてパリティ障害発生時に、タイミングに2、プロトコルプロセッサがパリティ障害を回復する。

【効果】 メモリの二重化することなく、又プログラムを再ロードすることなしに障害回復可能となる。



1

【特許請求の範囲】

【請求項1】パリティビットを付加したメモリとマイクロプロセッサとをバスで接続したシステムにおいて、メモリパリティ障害を検出する機能、前記障害発生時に前記マイクロプロセッサへの割込み通知を行うか否かの選択機能、前記プロセッサのリセット機能、前記マイクロプロセッサをリセットしてもメモリ内容が保持できる前記メモリの保持機能、前記メモリの論理的メモリ単位（任意のメモリ容量をもつ）毎の排他的論理和を保持しておく機能（以下エラー補正テーブルと称す）を有し、前記メモリにパリティ障害が発生した場合には、前記メモリパリティ障害検出機能により障害発生アドレスを算出し、該発生アドレスを含む論理的メモリ単位の排他的論理和を計算した値と該エラー補正テーブルの値との排他的論理和を求めることにより、障害発生ビットを抽出して補正を行うことを特徴とするメモリパリティ障害回復方式。

【請求項2】請求項1において、エラー補正テーブルの刻みを小さくすることにより、より高速に前記パリティ障害から回復が可能なることを特徴とするメモリパリティ障害回復方式。

【請求項3】請求項1において、マルチプロセッサにて構成される場合、他プロセッサの前記パリティ障害を回復することを特徴とするメモリパリティ障害回復方式。

【請求項4】エラー補正テーブルをECC付メモリ上に配置することにより該エラー補正テーブルに1ビットエラーが発生しても、パリティ補正を実行できることを特徴とするメモリパリティ障害回復方式。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、パリティビットを付加したメモリに1ビットのパリティ障害が発生した場合に、該パリティ障害発生箇所を検出しかつ訂正する方式に関する。

【0002】特に通信制御処理装置等のオンラインシステムに適用する装置に関して障害を迅速に回復可能であるという面から有効である。

【0003】

【従来の技術】メモリ障害回復に関しては、特開平2-108350の様にメモリを二重化し、一方のメモリにてメモリ障害が発生した場合に、もう一方のメモリにプログラムをロードし障害回復を行っていた。

【0004】この方法では、メモリの二重化により装置規模及びハードウェアの論理規模が大きくなりかつ、プログラムの再ロードが必要であった。

【0005】

【発明が解決しようとする課題】上記従来技術では、ハードウェアのメモリを二重化し障害発生時にメモリを予備用メモリに切り替え、プログラムを再ロードした後動作させているため以下の様な問題があった。1. ハード

2

ウェアの規模が大きくなる。2. 再ロードするのに時間がかかる。

【0006】本発明では、ハードウェアにてメモリを二重化することなく、又プログラムの再ロードも必要な様にソフトウェアにてメモリパリティ障害を回復することを可能とする。

【0007】

【課題を解決するための手段】上記目的を達成するために本発明では、メモリパリティ障害回復を迅速に行なうために以下で示す手段を採用した。

【0008】（1）ロードモジュール中に、メモリパリティ障害回復用のプログラム及びエラー補正テーブルを組み込んでおき、それをイニシャルプログラムロード時にロードする。

【0009】（2）パリティ障害回復プログラムは、メモリパリティ障害発生時の割り込み処理の中又はハードウェアリセット処理受領直後に行なう。

【0010】

【作用】メモリパリティエラー補正テーブルはイニシャルプログラムロード時にロードされかつメモリパリティビットを付加したメモリとは別のECC付メモリ上に保存されているのでメモリパリティ障害発生時に誤って補正することはない。

【0011】

【実施例】本発明の実施例を図1以下に示す。

【0012】図1は、本発明を実施したハードウェアの詳細を示している。

【0013】通信制御処理装置20はホストコンピュータ10とのチャネルインタフェースを実現するための通信制御処理機構100（以下IPと称す）、IP100とのポートインタフェースを実現する通信制御プロセッサ300（以下CHPと称す）、CHP300のプログラム格納エリアであるパリティ付ローカルメモリ310、CHP300プロトコルバス370、システムバス380から本発明の格納エリアでありかつデータバッファでもあるECC付メモリ360に対するアクセスを制御するメモリ制御機構350、各プロセッサからの割り込みを制御する割り込み制御機構340、回線にデータを送受する際にデータにプロトコル処理を行なうプロトコルプロセッサ320（以下PPと称す）PP320のプログラム格納エリアであるパリティ付メモリ330、回線400とのインタフェースを実現する回線インタフェース制御処理機構200により構成している。

【0014】本発明はパリティ付ローカルメモリ310、又はパリティ付メモリ2にメモリパリティ障害が発生した際、ハードウェアの障害割り込みを割り込み制御機構340を介してPP320に報告し、PP320が各々のパリティ障害を補正する。

【0015】図2は、プロトコルプロセッサのプログラム格納エリアであるパリティ付メモリ330にてパリティ

ィ障害が発生した際、パリティ障害回復までのシーケンスを示している。

【0016】(1) パリティ付メモリ330にてパリティ障害発生時に、PP320は、ホールドしCHP300に割り込み障害発生を通知する(図2中の331、332)。

【0017】(2) PP320からパリティ障害割り込みが入ったらCHP300は障害発生をIP100に報告した後、CHP300がPP320をリセットしPP320のリセット処理中にCHP300をリセットする(図2中の333、334、335)。

【0018】(3) (2) 処理後図4に示すフローにてパリティ障害の補正を行ないIP100からの初期設定指示337により動作可能となる。(図2中の336、337) なお、IP100から初期設定指示337を出すタイミングは、障害発生報告333をIP100が認識した後、メモリパリティ障害回復処理336が終了するのに十分な時間(本実施例の場合30秒)を経過したあと発行すると決めておく。

【0019】図3は、CHP300のプログラム格納エリアであるパリティ付ローカルメモリ310にてパリティ障害が発生した際、パリティ障害回復までのシーケンスを示している。

【0020】(1) パリティ付ローカルメモリ310にてパリティ障害発生時に、CHP300はホールドしPP320に割り込み障害発生を通知する(図3中の311、312)。

【0021】(2) CHP300からパリティ障害割り込みが入ったらPP320はその割り込み処理中第4図に示すフローにてパリティ障害の補正を行なう(図3中の313)。

【0022】(3) パリティ障害回復後PP320はCHP300をリセットし、リセットを受領したCHP300はPP320をリセットし初期設定指示受領可能状態とする(図3中の314、315)。

【0023】(4) IP100からの初期設定指示により動作可能となる。

【0024】なお、IP100からの初期設定指示316を出すタイミングは、IP100がCHP300に発行するコマンドに対する応答が無くなったことを契機に障害発生を認識し、その後メモリ回復処理313が終了するのに十分な時間(本実施例の場合30秒)を経過したあと発行すると決めておく。メモリパリティ障害回復のフローを図4、図5を用いて説明する。

【0025】(1) 2ヶ以上のメモリパリティ障害は回復不可能なため、障害発生数をカウントするカウンタエリア並びに、障害が発生したアドレスをセーブしておくためのエリアを初期化する(ステップ501)。

【0026】(2) メモリパリティ障害発生アドレスをサーチするため、サーチ中に割り込みが入らない様にす

るため、メモリパリティ障害発生割り込みを抑止する(図3中の502)。

【0027】(3) メモリパリティ障害発生アドレスをサーチする先頭アドレスをパリティ障害補正テーブルの515より取り出しPP320のアドレスレジスタに設定する(図3中の503)。

【0028】(4) (3) で設定したアドレスのバス幅長のデータをメモリ(パリティ付メモリ330又はパリティ付ローカルメモリ310)からリードする(ステップ504)。

【0029】(5) (4) でリードしたアドレスのデータがパリティ障害を起したか否かのチェックをメモリ制御機構350の内部レジスタをスキャンするか又はCHP300の内部レジスタをスキャンすることでチェックする(ステップ505)。

【0030】(6) (5) で障害が発生した場合障害が発生した回数を更新する(ステップ506)。

【0031】(7) (6) で障害発生個所が2以上の場合はメモリパリティ障害を回復することが出来ないので、障害発生カウンタが2以上であるか否かをチェックする(ステップ507)。

【0032】(8) (7) で障害発生カウンタが2以上であればメモリパリティ障害不可能とみなし、処理を中止する(ステップ508)。

【0033】(9) (7) で障害発生カウンタが1の場合、504でリードした時のアドレスが障害発生アドレスであるため、そのアドレスを障害発生アドレスセーブエリアに退避して置く(ステップ509)。

【0034】(10) 次にリードすべきアドレスを算出する(ステップ510)。

【0035】(11) 504にてリードしたデータと今までの排他的論理和の値の排他的論理和メモリパリティ障害回復用のデータとして保存する(ステップ511)。

【0036】(12) 全てのデータをリードしたか否かのチェックを図5パリティ障害補正テーブルの517を参照しながら行なう(ステップ512)。

【0037】(13) 511で保存したメモリパリティ障害回復用データと図5の期待値516との排他的論理和を取ることでどのビットが反転しているかを見つけ出し、パリティ障害が発生したデータの反転したビットを補正した後に509で退避しておいたアドレスに書き込むことによりメモリパリティ障害を回復する(ステップ513)。

【0038】(14) パリティ障害時の割り込みを開放し処理を終了する。

【0039】

【発明の効果】本発明により次の効果がある。

【0040】(1) メモリを二重化することなしに容易にメモリパリティ障害を回復することを可能とする。

5

6

【0041】(2) プログラムを再ロードすることなしに動作させることが可能である。

【0042】(3) エラー補正テーブルはECC付メモリ上にあるためメモリパリティ障害を誤って補正することはない。

【0043】(4) エラー補正テーブル(図5の517)のデータ数を小さくすることにより、より迅速にパリティ障害の回復が可能となる。

【図面の簡単な説明】

【図1】本発明を実施するために必要なシステム構成図である。

【図2】障害発生から回復に至るまでのシーケンスである。

【図3】障害発生から回復に至るまでのシーケンスである。

る。

【図4】障害を回復するためのフロー図である。

【図5】障害を実際に回復するための期待値テーブルを示す図である。

【符号の説明】

505…パリティ障害発生か否かの判定、

506…障害発生回数更新、

507…障害が2ヶ所以上かの判定、

508…障害発生箇所特定不能、

509…障害発生アドレスのセーブ、

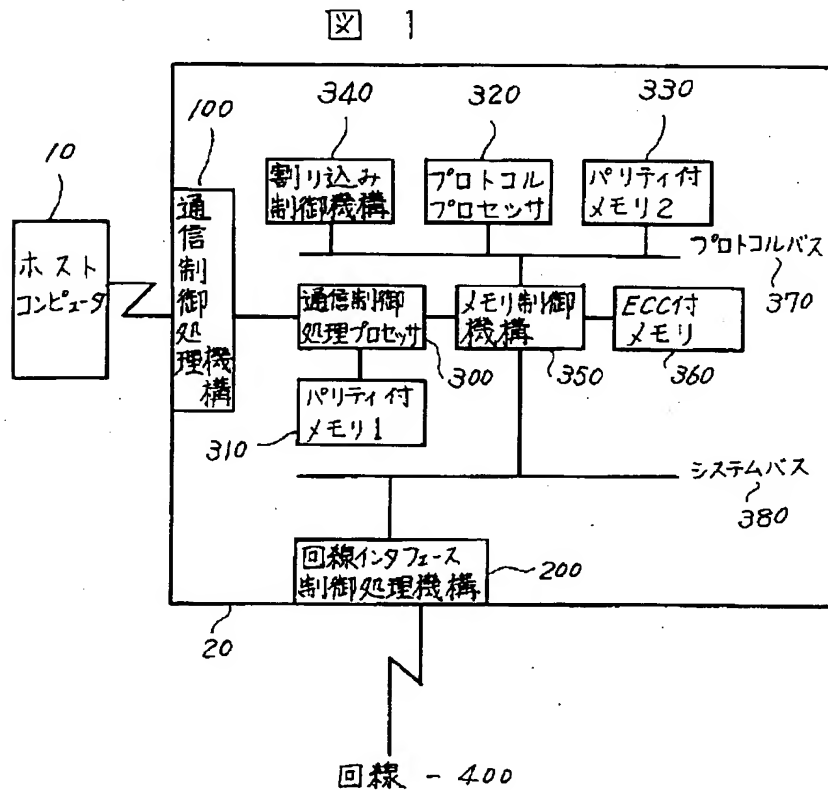
510…次にリードするアドレス設定、

511…サム計算、

512…全てのデータをリードしたか否かの判定、

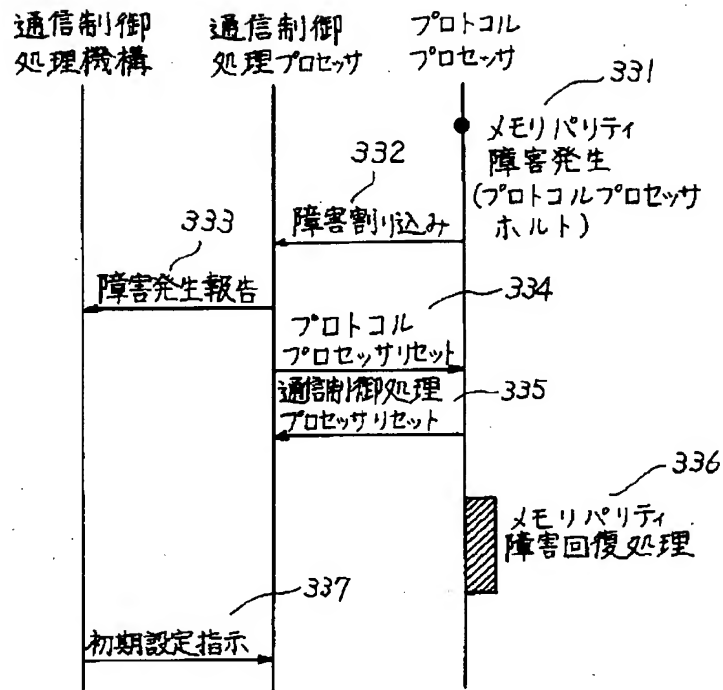
513…障害データのリカバー。

【図1】



【図2】

図 2



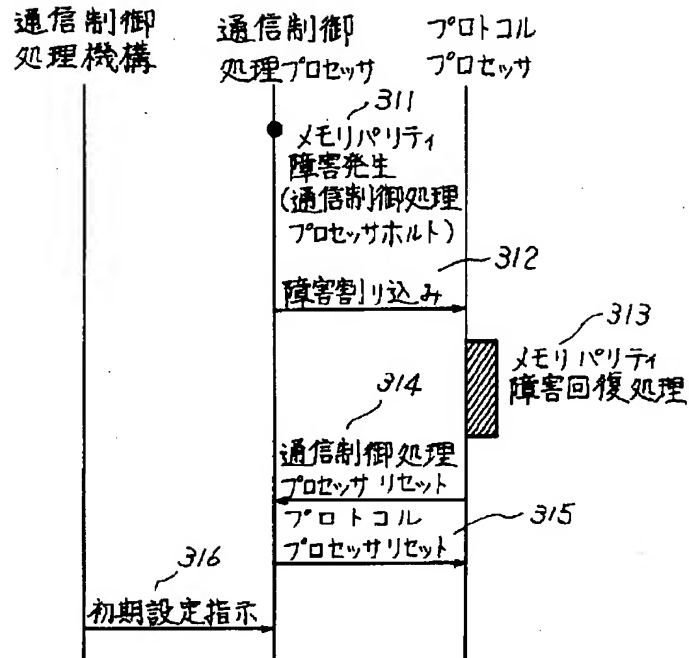
【図5】

図 5

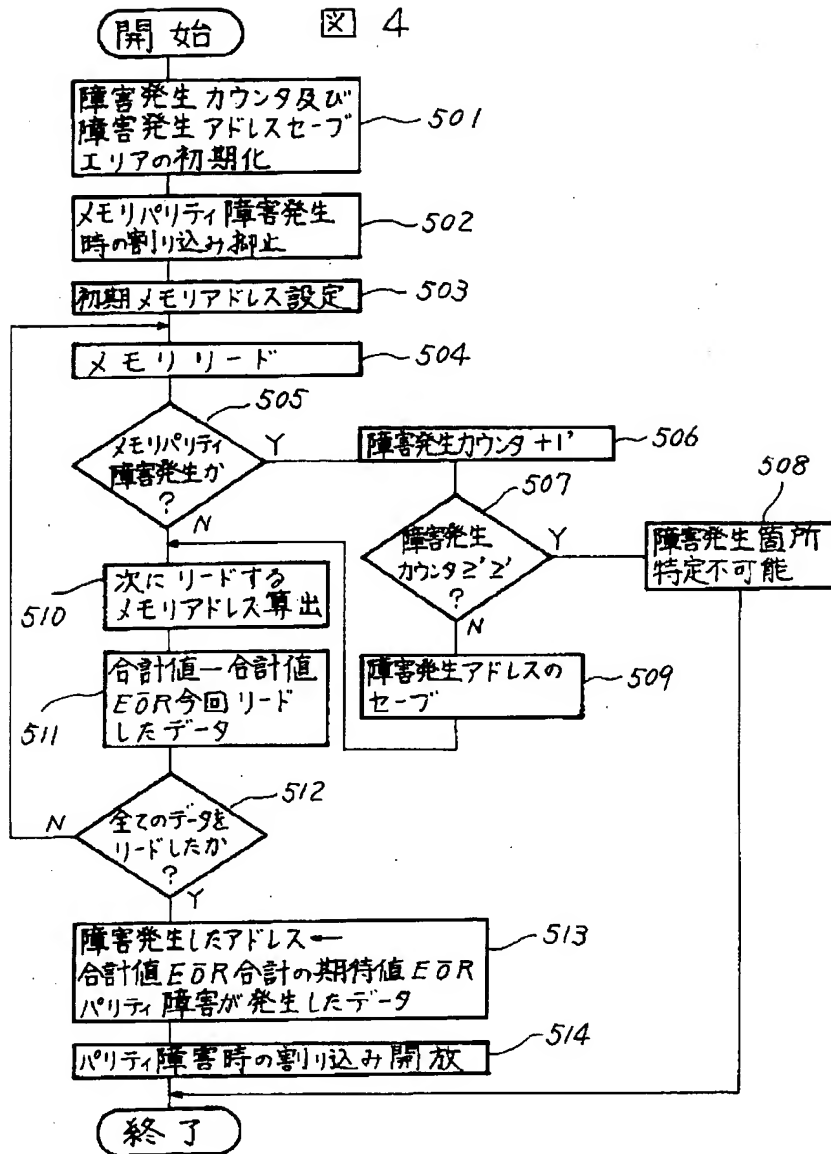
排他的論理和を取り始めるメモリの先頭アドレス(図6でのQ ₁ のアドレス)	515
期待値 (Sum)	516
排他的論理を行なうデータのバイト数	517

【図3】

図 3



【図4】



THIS PAGE BLANK (USPTO)